

[19]中华人民共和国国家知识产权局

[51]Int. Cl<sup>7</sup>

H03K 19/003

H03K 17/16

## [12] 发明专利申请公开说明书

[21] 申请号 99809810.8

[43]公开日 2001年9月19日

[11]公开号 CN 1314027A

[22]申请日 1999.8.2 [21]申请号 99809810.8

[30]优先权

[32]1998.8.18 [33]DE [31]19837394.5

[86]国际申请 PCT/DE99/02389 1999.8.2

[87]国际公布 WO00/11787 德 2000.3.2

[85]进入国家阶段日期 2001.2.19

[71]申请人 因芬尼昂技术股份公司

地址 德国慕尼黑

[72]发明人 D·基拉特 O·哈尔瑟

H·维尔克

[74]专利代理机构 中国专利代理(香港)有限公司

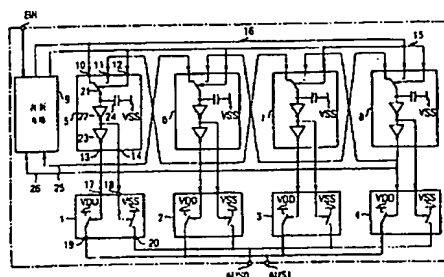
代理人 程天正 张志醒

权利要求书 2 页 说明书 6 页 附图页数 3 页

[54]发明名称 输出驱动电路

[57]摘要

本发明涉及一种集成电路的输出驱动电路,该电路包含有多个成对的驱动电路(1、2、3、4)和驱动控制器(5、6、7、8)、以及一个控制装置(9)。每对驱动控制器和驱动电路(1、5/2、6/3、7/4、8)构成一个驱动级。驱动级相互串联连接。控制装置(9)根据输出驱动电路的输入信号来转换通过驱动级串的信号传输方向,使得在输出驱动电路导通和关断时,各驱动级时间错开地进行开关,由此减小了电源线上的电流脉冲和感性负载里感应出来的干扰电压。



## 权 利 要 求 书

1. 集成电路的输出驱动电路, 该电路包含有一个用于接收输入信号的输入接点(EIN)、至少一个用于给出输出信号的输出接点(AUS0、AUS1)以及多个驱动级(1、5; 2、6; 3、7; 4、8), 其中, 各驱动级包含有驱动电路和驱动控制器, 并且由所述驱动控制器的控制信号(13)来控制所述的驱动电路,

其特征在于:

- 各驱动控制器包含有第一输入(10)和第二输入(11), 其中根据转换信号来活第一或第二输入;

10 - 所述的驱动控制器相互串联, 其中, 各驱动控制器的控制信号从串中第一驱动控制器(5)出发被传输给后面各驱动控制器的第一输入, 并且各驱动控制器的控制信号从串中最末驱动控制器(8)出发被传输给前面各驱动控制器的第二输入;

15 - 所述输出驱动电路包含有控制装置(9), 该装置通过转换导线(15)把转换信号传输至各驱动控制器;

- 所述第一驱动控制器的第一输入及串中最末驱动控制器的第二输入通过导线(16)同所述控制装置相联, 该导线传输的输入信号延迟于输入接点(EIN);

20 - 所述控制装置使各驱动控制器在第一和第二输入之间进行切换。

2. 根据权利要求1所述的输出驱动电路,

其特征在于:

所述驱动电路具有不同的电流驱动能力。

3. 根据权利要求1或2所述的输出驱动电路,

25 其特征在于:

各驱动控制器具有多个并联连接的开关(T1、T2; T3、T4)、至少一个反相电路(22、23)和至少一个电容(24)。

4. 根据前述权利要求之一所述的输出驱动电路,

其特征在于:

30 在所述的驱动控制器中设置有开关形式的晶体管(T1、T2、T3、T4)。

5. 根据前述权利要求之一所述的输出驱动电路,

其特征在于:

各驱动控制器另外还输出反相控制信号 (14)。

6. 根据权利要求 5 所述的输出驱动电路,

其特征在于:

5 各驱动电路接收控制信号 (13) 和互补控制信号 (14)。

7. 根据前述权利要求之一所述的输出驱动电路,

其特征在于:

所述输出驱动电路是用 CMOS 技术来实施的。

8. 差动输出驱动电路,

10 其特征在于权利要求 1 至 7 之一所述的第一和第二输出驱动电路, 其中, 所述第一输出驱动电路的输出 (AUS01、AUS11) 与第二输出驱动电路的输出 (AUS02、AUS12) 交叉耦合。

## 说明书

## 输出驱动电路

本发明涉及一种如权利要求 1 的前序部分所述的输出驱动电路和  
5 一种如权利要求 8 的前序部分所述的差动输出驱动电路。

在集成电路中，输出驱动电路被用来驱动元件的接线端（管脚）。  
由于数字集成电路的运行频率不断提高，控制输出驱动电路的控制信  
号的上升和下降时间便变得越来越短。由于数字电路部分的高开关频  
率，在电源线上将产生高频电流脉冲。尤其在必须提供大电流来驱动  
10 感性、阻性或容性负载的输出驱动电路中，电源线上的这种不理想的  
电流脉冲可能达到相当大的值，并由此干扰其它电路部分的功能。此  
外，在感性负载情况下，由于电流变化过程中的突然改变会生成大的  
电压振幅，这可能对其它电路部分的功能造成不理想的电磁干扰。

为了减小这种干扰，尝试在对输出驱动电路进行开关时，不但减  
15 小输出驱动电路的电流变化过程的突然改变，而且还减小电源线上的  
电流脉冲。为此，输出驱动电路的大驱动晶体管同所属的控制器一起  
以已知的方式被划分成由较小驱动晶体管组成的链，亦即所谓的驱动  
级，并对所述链的各个驱动级进行时间错开地控制。所以，虽然输出  
信号的上升时间延长了，但是电流脉冲和感应干扰电压减小了。

20 在欧洲专利 EP 0 340 731 B1 中讲述过一种输出驱动电路，其中  
多个驱动级并行联接，并通过串联在驱动级上的 RC 网络来进行时间错  
开地控制。RC 网络由串联在驱动晶体管上的电阻和单个驱动晶体管的  
门极-源极电容构成。其中每个驱动晶体管都具有一个特定的延迟时  
间，该时间可由不同的 R 或 C 值来进行调节。然而，在集成电路上实  
25 现电阻具有如下缺点，即对面积的需要较大，而且电阻的绝对值难以  
调整。

在美国专利 US 4, 992, 676 中曾公开一种输出驱动电路，其中单  
个的驱动级错接成一条链。其中，所述链的每个驱动级均由前面的驱  
动级来控制。其中延迟由通过前面各级的信号时延来决定。然而输出  
30 驱动电路的关断对于所有的驱动级来说都是并行而且同时进行的，从  
而导致电流变化过程的突然改变，并且譬如在所联接的电感中导致感  
应干扰电压。

在美国专利 US 5, 355, 029 中公开过另外一种输出驱动电路，其中为了减小开关过程中的电流和电压尖峰，在第一和第二驱动级之间设置了 RC 网络。然而，这里驱动晶体管的关断同样是并行而且同时进行的，从而没有排除上述关断中的缺点。

5 因此，本发明的任务在于，提供一种输出驱动电路，该电路不仅在驱动晶体管导通时，而且在其关断时均在驱动级之间设置了延时。

该任务由权利要求 1 的特征部分所述的输出驱动电路或权利要求 8 的特征部分所述的差动输出驱动电路来解决。本发明的优选扩展方案由各从属权利要求给出。

10 输出驱动电路的一种实施方案具有多个成对的驱动控制器和驱动电路、以及一个控制装置。在每一对中，驱动控制器与驱动电路相联接，并且驱动控制器与串的开头和结尾的驱动控制器相串联。控制装置分析输出驱动电路的输入信号，并根据分析结果来转换通过驱动控制器串的信号传输方向。此外，输入信号不仅传输到第一个而且传输到最末一个驱动控制器。在输出驱动级的导通过程中，输入信号从第  
15 一个传输至最末一个驱动级，而在关断过程中它从最末一个传输至第一个驱动级。由于经过单个驱动级的信号传输时间而在开关过程中产生了延时。从而不但有利地实现了驱动级的延时导通，还实现了其延时关断，并且减小了感性负载中的感应干扰电压以及电源线上的电流脉冲。  
20

有一个尤其优选的实施方案，其中驱动电路具有不同的电流驱动能力。在此，譬如电流驱动能力可以从第一个向最末一个驱动级递增。于是，第一个驱动级的驱动电路所传输的电流密度优选地比最末一个驱动级的驱动电路小。因此，诸如由于导线中达到较高的电流密度而产生的电迁移效应得到减弱。  
25

在本发明的一个优选的实施方案中，驱动控制器具有至少一个反相电路和多个开关，并可以用数字电路技术的元件来简单地实现。为了在单个驱动控制器中产生信号延时，至少设置了一个电容器，该电容器辅助反相电路产生信号延时。电容器有利地延长了通过驱动控制器的信号传输时间，使得能够在电压和电流变化过程中延长上升和下降时间。  
30

在一个尤其优选的实施方案中，驱动控制器的开关是作为晶体管

来实现的。

在输出驱动电路的一个尤其优选的实施方案中，该电路是用 CMOS 技术来制造的。在这种实施方案中尤其有利的是，输出驱动电路的开关可以由单个的 p 沟道和 n 沟道 MOS 晶体管来实现。

5 本发明的一种优的实施方案涉及到一种差动输出驱动电路，该电路具有其输出交叉耦合的两个输出驱动电路。已经证明，该实施方案尤其适合于驱动诸如变压器等感性负载，原因是感应电压由于输出信号的延迟导通或关断而减小，由此，差动输出驱动电路的输出接点的负荷变小。此外，由于感应电压尖峰而产生的电磁干扰减小了。驱动  
10 电路延时导通和关断的另一个优点在于同步电压的减小。从而减少了发送器和接收器的调整时间。

结合附图，本发明的其它优点、特征和应用可能性由下面的实施例说明给出。在附图中，

图 1 示出了输出驱动电路的一种实施例的电路图；

15 图 2A 示出了驱动控制器的一种实施例的电路图；

图 2B 示出了驱动电路的一种实施例的电路图；

图 3 示出了把两个输出驱动电路组合成一个用于数字信号传输的输出驱动电路。

附图 1 示出了具有一个数字输入 EIN 以及两个输出 AUS0 和 AUS1  
20 的输出驱动电路。输出 AUS0 可以被关断或接通至输出驱动电路的第二电源电压 VSS。在数字电路技术中，VSS 常常与零电位相一致。这种输出也公开地被称为下拉式输出。输出 AUS1 同样也可以被关断或接通至输出驱动电路的第一电源电压 VDD。如果 VDD 与数字电路技术中的高电位相一致，那么该输出也公开地称为上拉式输出。

25 输出驱动电路包含有四个驱动电路 1、2、3 及 4，该驱动电路均具有两个输入 17 和 18 以及两个输出 19 和 20。每个驱动电路的输出 19 与输出 AUS1 相联接，而输出 20 与输出端 AUS0 相联接。在所描绘的实施例中，每个驱动电路包含有两个开关，其中第一个开关把输出 19 与第一电源电压 VDD 联接起来，而第二个开关把输出 20 与第二电  
30 源电压 VSS 联接起来。第一开关通过驱动电路的输入 17 来进行数字控制，而第二开关通过驱动电路的输出 18 来进行数字控制，其中这两个开关通过逻辑状态被导通或关断。在输入 17 上有逻辑零时，第一开关

优选地接通，与此相反，第二开关通过输入 18 上的逻辑 1 而导通。

驱动电路成对地与驱动控制器 5、6、7 和 8 相联接以形成一个驱动级，其中驱动控制器的输出 13 均与驱动电路的输入 17 相联接，而驱动控制器的输出 14 均与驱动电路的输入 18 相联接。每个驱动控制器包含有两个反相电路 22 和 23、一个电容 24 和一个转换开关 21。反相电路连同电容 24 用于实现驱动控制器中的信号延迟，其中信号延迟可以通过其它的电容和反相电路来增大。反相电路的选择，尤其是驱动能力的选择在此是根据各个待控制的驱动电路来调整的，使得待控制的驱动电路在开关过程中的时间延迟对于各个驱动级相等。通过驱动控制器的转换输入端 12 而控制的转换开关在驱动控制器的输入 10 和输入 11 之间进行切换。从而两个输入 10 和 11 之一交替地与第一反相器 22 的输入端相联。

驱动控制器串联地联接，其中，第一驱动控制器 5 的第一输入 10 和所述串中最末一个驱动器 8 的第二输入通过导线 16 与控制装置 9 相联接。通过导线 15，各驱动控制器的转换输入端 12 与控制装置相联接。另外，通过导线 25 或 26，第一驱动控制器 5 或最末一个驱动控制器 8 的第一输出与控制装置相联接。从第一驱动控制器 5 开始，各驱动控制器 6~8 与后面各驱动控制器如此地联接，即驱动控制器的第一输出 13 与后面的驱动控制器的第一输入 10 相联接。从最末一个驱动控制器 8 开始，各驱动控制器的第一输出 13 与各个前面的驱动控制器的第二输入 11 相联接。控制装置与输出驱动电路的输入 EIN 相联接。

下面来讲述输出驱动电路的功能。如果在数字输入 EIN 上加有逻辑 1，那么上拉输出 AUS1 和下拉输出 AUS0 就应导通。控制装置根据输入信号 EIN 来转换通过驱动控制器串的信号传输方向。在两个输出 AUS0 和 AUS1 导通时，均切换到各驱动控制器的第一输入上，使得输入信号经第一驱动控制器 5、第二驱动控制器 6 直至最末一个驱动器 8 而流经串中所有的驱动控制器。由此，驱动电路时间错开地导通，并且电流驱动能力在输出 AUS0 和 AUS1 上逐级慢慢上升。在所联接的电感中，由于快速电流变化而产生的具有本文开头所述缺点的电压尖峰从而得到减小。这时如果输入信号接到逻辑零，那么两个输出 AUS0 和 AUS1 被关断。对此，控制装置均切换到各驱动控制器的第二输入上，

使得最末的驱动控制器 8 首先导通, 然后倒数第二个驱动控制器 7 导通, 最后是第一驱动控制器 5。从而输出级被时间错开地关断, 并且电流驱动能力在输出端上慢慢下降。

在附图 2A 中描绘了以 CMOS 电路技术实现的驱动控制器的实施  
 5 例。在该例中, 转换开关 21 是由错接成所谓的转接门或传输门的晶体管 T1、T2、T3 和 T4 来实现的。由晶体管 T1 和 T2 构成的转接门对第一输入 10 进行开关操作, 而由晶体管 T3 和 T4 构成的转接门对第二输入 11 进行开关操作。转换输入端 12 与晶体管 T2 和 T3 的控制接点相联, 并通过反相器 27 与晶体管 T1 和 T4 的控制接点相联。两个转接门  
 10 的输出与第一反相器 22 的输入和电容 24 相联。第二反相器 23 与第一反相器相联, 而反相器 23 的输出构成了驱动控制器的第一非反相的输出 13。驱动控制器的第二反相输出 14 与第一反相器 22 的输出相联。电容器 23 和第一第二反相器对用于驱动电路的控制信号进行延迟, 而驱动电路是通过输出 13 和 14 来控制的。控制信号的时延以及由此与  
 15 驱动控制器相联的驱动电路的导通和关断延迟可以通过选择电容及反相器来进行调整。

图 2B 示出了包含有用作开关的两个 CMOS 技术 MOS 晶体管的驱动  
 电路的实施例, 其中 p 沟道 MOSFET 的负载段联接在第一电源电压 VDD  
 和输出 19 之间, 而 n 沟道 MOSFET 的负载段联接在第二电源电压 VSS  
 20 和输出 20 之间。

图 3 示出了两个输出驱动电路的一种组合, 其中第一输出驱动电  
 路包含有一个控制装置 91, 三个驱动控制器 51、61 和 71 以及三个驱  
 动电路 101、201 和 301。该种装置譬如在应用于 ISDN 元件的、具有  
 差动输出的 UPN 发送器中用于传输控制。第二输出驱动电路包含有一个  
 25 控制装置 92, 三个驱动电路 52、62 和 72 以及三个驱动电路 102、  
 202 和 302。通过导线 151 或 152, 控制装置 91 或 92 对驱动控制器 51、  
 61、71 或 52、62、72 的输入进行切换。导线 161 或 162 再次把第一  
 驱动控制器 51 或 51 的第一输入和最末驱动控制器 71 或 72 的第二输  
 入同控制装置 91 或 92 联接起来。第一输出驱动电路的上拉输出 AUS11  
 30 同第二输出驱动电路的下拉输出 AUS02 及变压器  $\dot{U}$  的接点 U2 联接起  
 来。而第一输出驱动电路的下拉输出 AUS01 同第二输出驱动电路的上  
 拉输出 AUS12 及变压器  $\dot{U}$  的接点 U1 相联。变压器在其二次侧与负载



电阻 R1 相联。通过施加不同的输入信号组合就可以由两个输出驱动电路来驱动变压器  $\bar{U}$ 。从而下列的输入信号组合 (EIN0、EIN1) 在变压器的接点 (U1、U2) 上产生相应的电压 (“关断” 表示输出被关断，且该输出上的电位不确定)：

5	(EIN0, EIN1)	(AUS01, AUS12)	(AUS02, AUS11)	(U1, U2)
	(1, 1)	(VSS, VDD)	(VSS, VDD)	禁止状态
	(1, 0)	(VSS, 关断)	(关断, VDD)	(VSS, VDD)
	(0, 1)	(关断, VDD)	(VSS, 关断)	(VDD, VSS)
	(0, 0)	(关断, 关断)	(关断, 关断)	(关断, 关断)

10 输入信号组合 (1、1) 被禁止，原因是其中所有的开关导通，且第一电源电压 VDD 和第二电源电压 VSS 短路。期间流经开关的大电流可能损坏驱动电路。输入信号组合为 (0、0) 时，输出完全关断，使得变压器的接点 U1 和 U2 上的电位不确定。在这种状态下没有电流流过驱动电路。在输入信号组合 (1、0) 转变至 (0、1) 或从 (0、1) 15 转变至 (1、0) 时，驱动电路 101、201、301 和 102、202、302 被时间错开地导通或关断，由此在变压器的一次侧，导通时的同步脉冲和关断时的同步电压明显减小。此外，由于驱动电路的时间错开地关断，减小了变压器中感应的过高电压，并由此改善了电路的电磁特性。

驱动电路的电流驱动能力大小通常是不同的。其中，与第一驱动 20 控制器 51、52 相联的驱动电路 101、102 所具有的电流驱动能力比与最末驱动控制器 71、72 相联的驱动电路 301、302 要低。在驱动电路导通或关断时，最弱的驱动电路 101、102 或最强的 301、302 就首先导通或关断。该措施还减小了当驱动电路导通或关断时在变压器中所感应的电压。另外，由此避免了第一驱动级 101、102 在导通时所产生的 25 的非常大的电流密度，而该电流密度可能促进第一驱动级的驱动电路的晶体管和导线中的电迁移。

控制装置 91、92 包含有用于分析输入信号、并生成转换信号的逻辑元件，该元件通过导线 151、152 来转换通过驱动控制器串的信号方向。只须分析前文表格中所描述的输入组合，并由此导出信号来切换 30 驱动控制器的两个输入 10 和 11。这可以譬如通过仅由逻辑门电路组成的简单开关网络来实现。

说明书附图

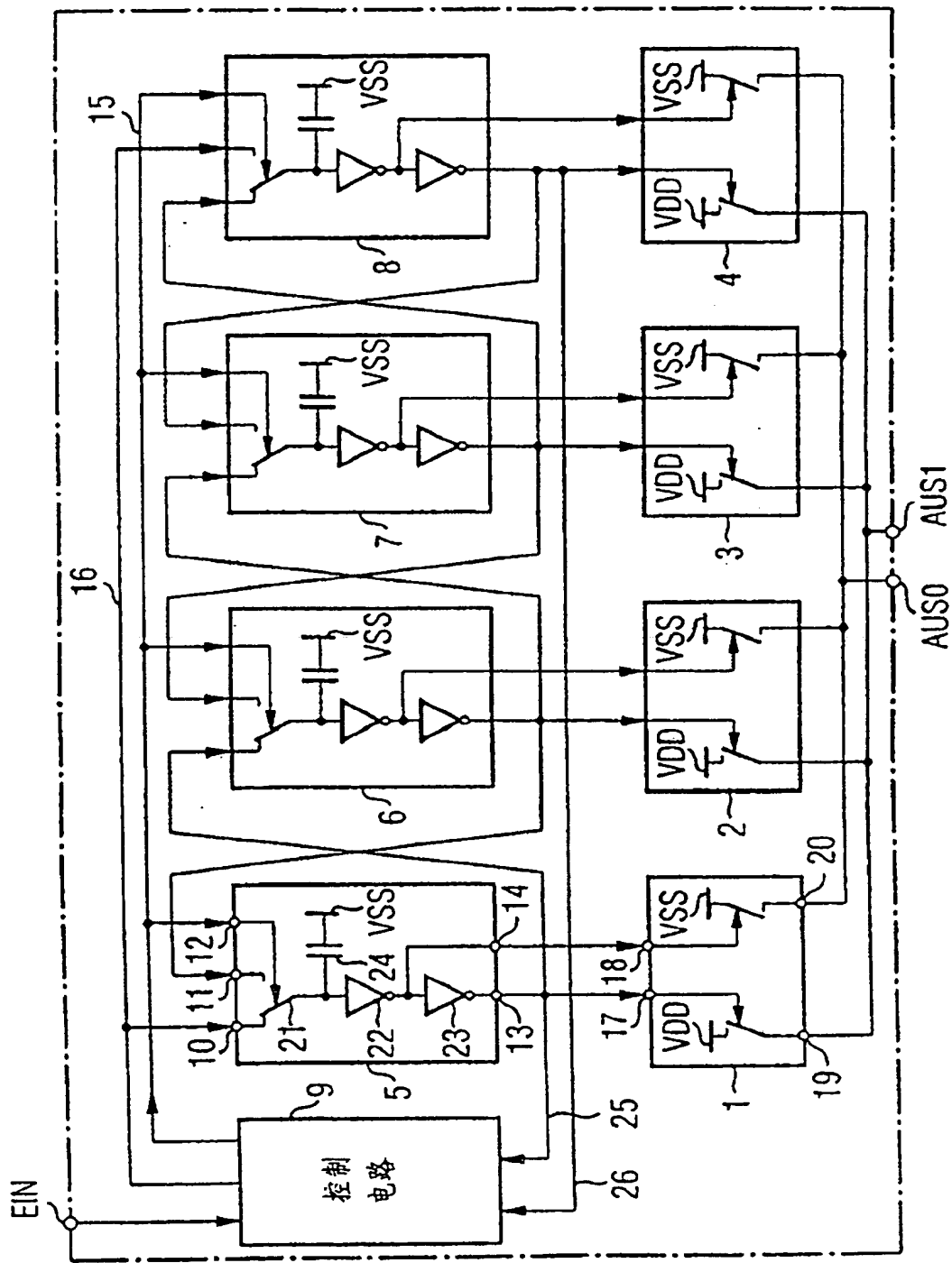


图 1

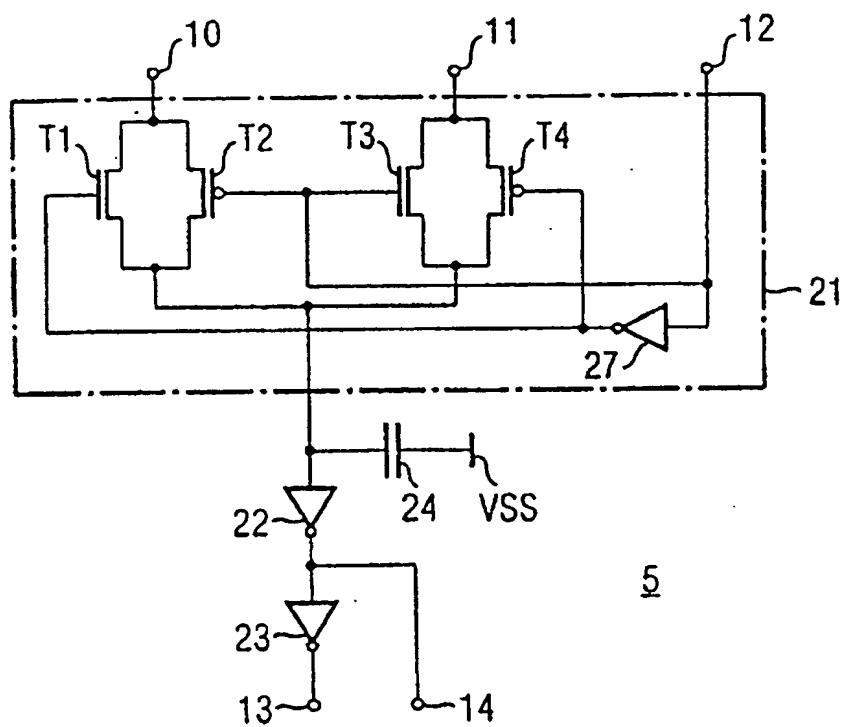


图 2A

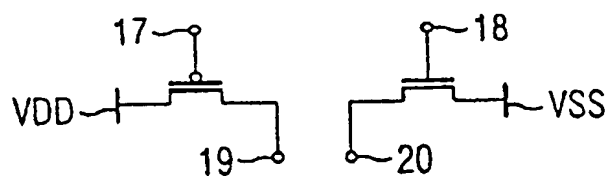


图 2B

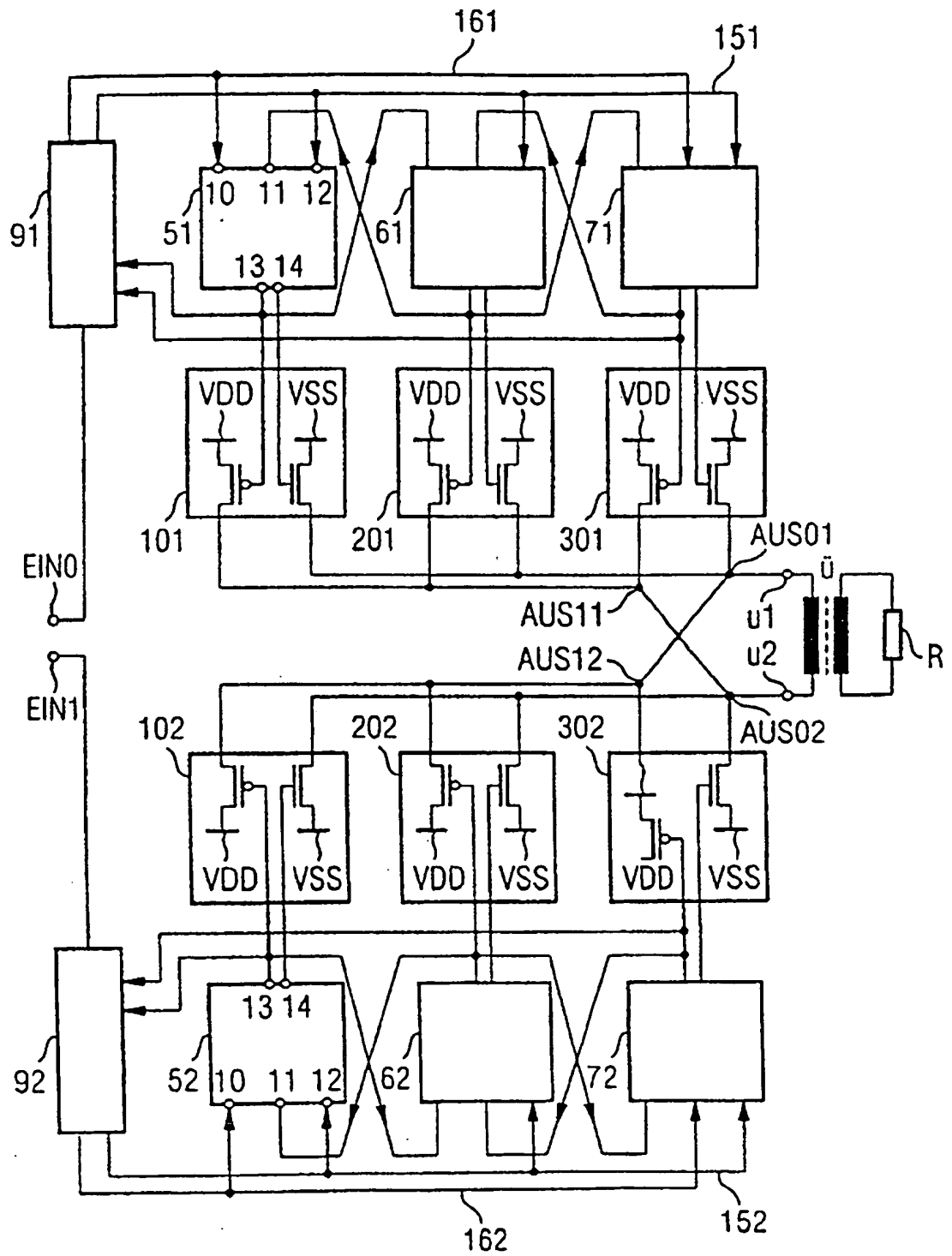


图 3